

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

DIALOG(R)File 351:Derwent WPI
(c) 2003 Thomson Derwent. All rts. reserv.

010014487 **Image available**

WPI Acc No: 1994-282198/ 199435

XRPX Acc No: N95-252839

Solid state imaging device e.g. charge coupled device, with reduced cell size - has transfer electrode between signal charge-storage diodes along transfer direction and perpendicular direction, to prevent charge reduction

Patent Assignee: TOSHIBA KK (TOKE)

Inventor: ENDO N; MATSUNAGA Y; NAKAMURA N

Number of Countries: 002 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 6204450	A	19940722	JP 92348275	A	19921228	199435 B
US 5418387	A	19950523	US 93173081	A	19931227	199544

Priority Applications (No Type Date): JP 92348275 A 19921228

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
-----------	------	-----	----	----------	--------------

JP 6204450	A		9		
------------	---	--	---	--	--

US 5418387	A		11		
------------	---	--	----	--	--

Abstract (Basic): JP 6204450 A

Dwg.1/9

US 5418387 A

The solid-state imaging system (20) includes a semiconductor substrate (22) on which an array of cells (C1,C2) is disposed. A number of vertical charge transfer sections (46) extend in a first direction on the substrate and a horizontal charge transfer section (48) extends in a second direction transverse to the first direction on the substrate and is coupled to the vertical charge transfer section.

The cell array includes a number of columns of cells that are associated with a corresponding one of the vertical transfer sections. The cell columns include a predetermined number of spaced-part cells that are series-connected along the second direction to constitute a NAND type cell structure. At least one cell-to-cell charge transfer electrode overlies a channel region as defined between adjacent ones of the NAND cells in the substrate.

USE/ADVANTAGE - E.g. for video camera, photoelectric equipment etc. Exhibits enhanced integration density while providing excellent quality of reproduced image.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-204450

(43) 公開日 平成6年(1994)7月22日

(51) Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/148

H 0 4 N 5/335

V

7210-4M

H 0 1 L 27/14

B

審査請求 未請求 請求項の数2 (全 9 頁)

(21) 出願番号 特願平4-348275

(22) 出願日 平成4年(1992)12月28日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 能見 菜穂子

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 中村 信男

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 松長 誠之

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

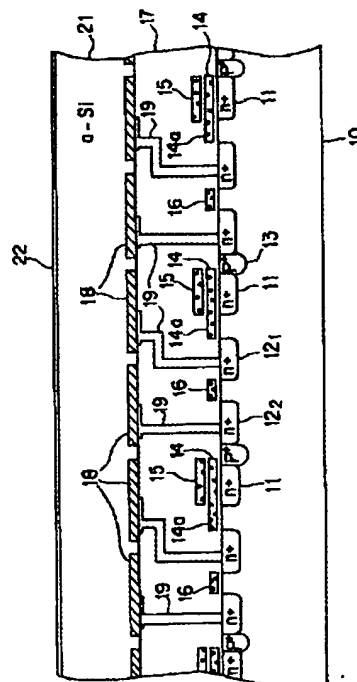
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 固体撮像装置

(57) 【要約】

【目的】 セルサイズの縮小に伴う取扱い信号電荷量の低下を抑制することのできる積層型の固体撮像装置を提供すること。

【構成】 S i 基板 10 上に複数の蓄積ダイオード 12、複数の信号電荷読み出しゲート 14 a 及び複数本の垂直 CCD を 2 次元的に配列し、かつ最上部に蓄積ダイオード 12 に電氣的に接続された画素電極 18 が形成された固体撮像素子チップと、この固体撮像素子チップ上に積層された光導電膜 21、この光導電膜 21 上に形成された透明電極 22 とを備えた固体撮像装置において、蓄積ダイオード 12 を、各垂直 CCD に対し転送方向に沿ってそれぞれ複数個設けると共に、転送方向と直交する一方向にそれぞれ複数個設け、かつ転送方向と直交する方向に隣接する蓄積ダイオード 12₁、12₂ 間に転送電極 16 を設けたことを特徴とする。



【特許請求の範囲】

【請求項1】半導体基板上に複数の信号電荷蓄積ダイオード、複数の信号電荷読み出し部及び複数の信号電荷転送部を2次元的に配列し、かつ最上部に信号電荷蓄積ダイオードに電気的に接続された画素電極が形成された固体撮像素子チップと、この固体撮像素子チップ上に積層された光導電膜と、この光導電膜上に形成された透明電極とを備えた固体撮像装置において、前記信号電荷蓄積ダイオードは、前記各信号電荷転送部に対し転送方向に沿ってそれぞれ複数個設けられると共に、転送方向と直交する一方向にそれぞれ複数個設けられ、かつ転送方向と直交する方向に隣接する信号電荷蓄積ダイオード間に転送電極を設けてなることを特徴とする固体撮像装置。

【請求項2】半導体基板上に平行に配列された複数の信号電荷転送部と、これらの信号電荷転送部に対し該信号電荷転送部の転送方向に沿ってそれぞれ複数個設けられ、かつ転送方向と直交する一方向にそれぞれ複数個設けられた受光部と、前記信号電荷転送部とこれに最も隣接する受光部との間に設けられた信号電荷読み出し電極と、前記信号電荷転送部の転送方向と直交する方向に隣接する受光部間に設けられた転送電極とを具備してなることを特徴とする固体撮像装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電荷転送素子(CCD)を用いた固体撮像装置に係わり、特に受光部(信号電荷蓄積部)を直列に接続したNAND型の固体撮像装置に関する。

【0002】

【従来の技術】近年、ビデオカメラや電子スチルカメラ等の撮像デバイスとして、CCDを用いた固体撮像装置が広く使用されている。この装置は、複数の画素を2次元平面状に配列し、各々の画素で発生した信号電荷をCCDで転送して出力するものである。

【0003】このような固体撮像装置において、最近のカメラの高性能化・小型化・軽量化の要求に伴い、固体撮像装置そのものの画素数増加、小型化が必要になってきている。固体撮像装置における画素数増加、小型化は、画素サイズの縮小を意味する。そして、画素サイズの縮小により、従来はあまり問題にされなかった感度の低下が生じ、これがカメラの画質を低下させる要因となっている。

【0004】特に、従来の固体撮像装置では水平方向(垂直電荷転送部の転送方向と直交する方向)にみると、1つの受光部に対し1つの垂直電荷転送部が必要であり、垂直電荷転送部は信号電荷を転送する必要から狭い寸法にすることができない。そのため、1画素当たりの受光部の面積を大きくすることができない問題点があった。

【0005】また、1画素当たりの受光部の面積を大きくできるものとして、光導電膜積層型固体撮像装置(PSID)が開発されている。このPSIDは、従来の固体撮像装置を撮像素子チップとして用い、このチップ上に受光部としての光導電膜を積層したもので、ほぼデバイス全面に受光部を形成することができる。

【0006】しかしながら、このようなPSIDでは、画素数増加、チップ面積縮小のためのセルサイズの縮小に伴って、1画素当たりの信号電荷蓄積部、信号電荷転送チャンネル部の面積縮小による取扱い信号電荷量の低下という、従来にはなかった問題が生じることが予測される。

【0007】

【発明が解決しようとする課題】このように、従来の固体撮像装置においては、画素数増加、小型化に伴い受光部面積が小さくなり、検出感度が低下する問題があった。また、PSIDにおいては、1画素当たりの信号電荷蓄積部や信号電荷転送チャンネル部の面積縮小により、取扱い信号電荷量の低下を招くという問題があった。

【0008】本発明は、上記の事情を考慮してなされたもので、その目的とするところは、画素数増加や小型化に伴う受光部面積の低下を抑制することができ、検出感度の向上をはかり得る固体撮像装置を提供することにある。また、本発明の他の目的は、セルサイズの縮小に伴う取扱い信号電荷量の低下を抑制することのできる積層型の固体撮像装置を提供することにある。

【0009】

【課題を解決するための手段】本発明の骨子は、受光部(又は蓄積ダイオード)を直列に接続してNAND型に構成したことにある。

【0010】即ち本発明(請求項1)は、半導体基板上に複数の信号電荷蓄積ダイオード、複数の信号電荷読み出し部及び複数の信号電荷転送部(垂直CCD)を2次元的に配列し、かつ最上部に信号電荷蓄積ダイオードに電気的に接続された画素電極が形成された固体撮像素子チップと、この固体撮像素子チップ上に積層された光導電膜と、この光導電膜上に形成された透明電極とを備えた固体撮像装置において、信号電荷蓄積ダイオードを、各信号電荷転送部に対し転送方向に沿ってそれぞれ複数個設けると共に、転送方向と直交する一方向にそれぞれ複数個設け、かつ転送方向と直交する方向に隣接する信号電荷蓄積ダイオード間に転送電極を設けたことを特徴とする。

【0011】また本発明(請求項2)は、半導体基板上に複数の受光部、複数の信号電荷読み出し部及び複数の信号電荷転送部(垂直CCD)を設けた固体撮像装置において、1本の信号電荷転送部に対して転送方向と直交する一方向に複数の受光部を形成し、かつ隣接する受光部間に転送電極を形成したことを特徴とする。ここで、本発明の望ましい実施態様としては、次のものが上

げられる。

【0012】(1) 信号電荷蓄積ダイオード (又は受光部) に蓄積された信号電荷を、隣接画素の信号電荷蓄積ダイオード (又は受光部) との間に位置する転送電極により、隣接の信号電荷蓄積ダイオード (又は受光部) に転送した後、その信号電荷を信号電荷転送部 (一般には垂直CCD) に読み出すこと。

【0013】(2) (1) において、信号電荷蓄積ダイオード (又は受光部) に蓄積された信号電荷を、隣接の信号電荷蓄積ダイオード (又は受光部) に転送する場合に、転送先の信号電荷蓄積ダイオード (又は受光部) の信号電荷を先に信号電荷転送部に読み出し、予め転送先の信号電荷が存在しない状態にしておくこと。

【0014】(3) 信号電荷蓄積ダイオード (又は受光部) 内に蓄積された信号電荷を隣接の信号電荷蓄積ダイオード (又は受光部) に転送する転送電極は、信号電荷転送部の転送電極の一部と同時に形成されていること。

【0015】(4) 信号電荷蓄積ダイオード (又は受光部) 内に蓄積された信号電荷を隣接の信号電荷蓄積ダイオード (又は受光部) に転送する転送電極は、信号電荷転送部の転送電極とは別に形成されていること。

【0016】(5) 請求項2において、受光部側の表面に形成されるマイクロレンズに対して、マイクロレンズの寸法を1つの受光部と1つの転送電極を加算した寸法と同じにすること。

(6) (5) において、マイクロレンズの繰り返しピッチを遮光膜の開口部の繰り返しピッチと同じにすること。

(7) 請求項2において、受光部側の表面に形成される色フィルタの繰り返しピッチを、遮光膜の開口部の繰り返しピッチと同じにすること。

【0017】(8) 請求項2において、N個の受光部の幅 x_1 と、(N-1)個の転送電極の幅 x_2 と、1つの垂直電荷転送部の幅 X_3 を持った固体撮像装置において、遮光膜の開口部の繰り返しピッチ y を、

$y = (1/N) \cdot \{x_1 + (N-1) \cdot x_2\} + x_3$ とすること。

【0018】

【作用】本発明 (請求項1) によれば、信号電荷転送部 (垂直CCD) の転送方向 (垂直方向) と直交する方向 (水平方向) に隣接する信号電荷蓄積ダイオード間に転送電極を設け、水平方向のN個 (N \geq 2) の信号電荷蓄積ダイオードの信号電荷の読み出しを1個の信号電荷転送部で行うことにより、水平画素数よりも信号電荷転送部を少なく形成することができる。これは、同じ画素数では信号電荷転送部の本数を少なくできることを意味し、これにより1画素当たりの信号電荷蓄積部及び信号電荷転送チャンネル部の面積増大となり、取り扱える信号量の低下を抑制することができる。逆に、取り扱える信号量を同じとし、信号電荷蓄積部及び信号電荷転送チャンネル部の面積を同じとすれば、画素数増加又はチップ面

積縮小が可能となる。即ち、垂直転送最大電荷量 (垂直CCDの Q_{max}) を落とすことなく、PSIDの水平方向の微細化を行うチップ面積の縮小が可能になる。

【0019】また、本発明 (請求項2) によれば、信号電荷転送部 (垂直CCD) の転送方向と直交する方向に見ると、従来1つの受光部に1つの読み出し電極と1つの信号電荷転送部が存在したが、N個 (N \geq 2) の受光部に対し、(N-1)個の転送電極と1つの読み出し電極と1つの信号電荷転送部を有する構造により、水平画素数よりも垂直電荷転送部を少なく形成でき、単位画素当たりの受光部面積の割合を大きくすることができる。この結果、画素サイズが微細化しても、受光部面積の減少を抑制することが可能となる。

【0020】

【実施例】以下、本発明の実施例を図面を参照して説明する。

【0021】図1は、本発明の第1の実施例に係わるPSIDの要部構成を示す断面図である。p型Si基板10の表面に、n⁺型埋め込みCCDチャンネル11、n⁺型蓄積ダイオード12、p⁺型素子分離層13が形成されている。ここで、蓄積ダイオード12は、CCDチャンネル11に隣接するもの(12₁)と、12₁に対しCCDチャンネル11と反対側に位置するもの(12₂)が形成されている。CCDチャンネル11上には垂直転送電極14、15が形成され、垂直転送電極14は蓄積ダイオード12₁の端部上まで延長して信号電荷読み出しゲート14aを兼ねるものとなっている。また、蓄積ダイオード12₁、12₂間の上には転送電極16が形成されている。

【0022】これら各電極14、15、16を形成した基板には層間絶縁膜17が設けられ、絶縁膜17上に画素電極18が形成されている。そして、各々の画素電極18は対応する蓄積ダイオード12に引き出し電極19により接続されるものとなっている。ここで、引き出し電極19は一部クランク状となっているが、これは例えば絶縁膜17を2層に形成することにより実現できる。具体的には、絶縁膜17の1層目を形成した後に蓄積ダイオード12とのコンタクトホールを形成し、蓄積ダイオード12につながる引き出し電極19の一部を形成し、その上に絶縁膜17の2層目を形成した後にコンタクトホールを形成し、引き出し電極19の残りの部分を形成すればよい。

【0023】ここまでの構成で固体撮像素子チップが構成されるが、この固体撮像素子チップ上には、光電変換膜21としてのアモルファスシリコン(a-Si)層が堆積され、その上に透明電極22としてのITO膜が形成されている。

【0024】図2は、本装置を模式的に示す平面図である。CCDチャンネル11及び転送電極14、15からなる垂直CCD25に対して転送方向とは直交する方向に

1つではなく2個の蓄積ダイオード12₁、12₂が形成されている。そして、垂直CCD25に読み出された信号電荷は、垂直CCD25で転送されたのち水平CCD26に読み出され、水平CCD26で転送されたのち出力アンプ27により出力されるものとなっている。

【0025】このような構成において、a-Si膜21中で光電変換され生成された信号電荷（電子）は、各画素電極18に集められ引き出し電極19を通して蓄積ダイオード12に蓄積される。蓄積ダイオード12に蓄積された信号電荷は、読み出しゲート14aにより垂直CCD25のチャンネル11に読み出される。

【0026】本実施例では、垂直CCD25のチャンネル11に隣接する蓄積ダイオード12₁の信号電荷は、従来装置と同様に読み出しゲート14aによりCCDチャンネル11に読出し、垂直方向に転送したのち水平CCD26に読出し、さらに水平方向に転送して出力する。蓄積ダイオード12₁に隣接する蓄積ダイオード12₂の信号電荷は、蓄積ダイオード12₁に転送した後、前記記述と同様に、出力信号として出力する。このために転送電極16が必要である。具体的には、蓄積ダイオード12₁に蓄積された信号電荷を、垂直CCD25のチャンネル11に読み出した後、蓄積ダイオード12₂に蓄積された信号電荷を、転送電極16に電圧をかけることで、蓄積ダイオード12₁に転送し、その後読み出しゲート14aにより、CCDチャンネル11に信号電荷を読み出すことができる。

【0027】このように本実施例によれば、従来、水平方向の1つの蓄積ダイオードに対して、1つの読み出しゲート14aと、1組の垂直CCD25が必要であったものが、N個（N≧2）の蓄積ダイオードに対して、N-1個の転送電極16と、1つの読み出しゲート14aと、1組の垂直CCD25で信号電荷を読み出すことが可能となる。これにより、PSIDの水平方向の微細化が垂直転送電荷量を落とすことなく、蓄積ダイオードの飽和電荷量も変わらず行え、チップサイズの縮小化が可能となる。

【0028】ここで、図2を用いて、具体的な駆動方法の一例を説明しておく。まず、垂直CCD25の埋め込みチャンネル11に隣接する蓄積ダイオード12₁に蓄積された信号電荷を読み出しゲート14aにより埋め込みCCDチャンネル11に読み出したのち、垂直転送電極14、15により垂直方向の転送を行い水平CCD26に信号を送る。なお、蓄積ダイオード12₁の信号電荷の読み出しは、1本の垂直CCD25に対し複数個を同時に行うのではなく、1本の垂直CCD25に対し1個のみ行う。

【0029】その後、水平CCD26で信号電荷を1画素分、蓄積ダイオード12から垂直CCD25の埋め込みチャンネル11に読み出す方向と同じ方向（水平方向）に転送する。その後、蓄積ダイオード12₂の信号電荷

を同じようにして水平CCD26まで転送する。このようにすることにより、水平1ラインの信号を水平CCD26に読み出すことができ、こののち通常と同じようにして水平電荷転送部26、出力アンプ27により出力信号として出力される。この動作を水平ブランキング期間に水平1ライン毎に行う。

【0030】また、FIT-CCDのように、有効画素部の下（垂直CCD25と水平CCD26との間）にメモリ領域を設け、各画素の信号電荷を垂直ブランキング期間に順次転送し、水平CCD26、出力アンプ27を経て出力するという方法もある。この場合、1本の垂直CCD25に対し複数個の蓄積ダイオード12₁の信号電荷を同時に読み出してメモリ領域に蓄積し、続いて垂直CCD25に複数個の蓄積ダイオード12₂の信号電荷を同時に読み出してメモリ領域に蓄積する。その後、メモリ領域から1ライン毎に水平CCD26に信号電荷を読み出し、これを水平CCD26により転送して出力することになる。

【0031】図3は、本発明の第2の実施例の要部構成を示す断面図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。この実施例は、5つの蓄積ダイオード12₁、12₂、12₃、12₄、12₅に対して4つの転送電極16₁、16₂、16₃、16₄と読み出しゲート14aと1組の垂直CCD25を持ったPSIDの断面構造を示したものである。即ち、1本の垂直CCD25のチャンネル11に対し、転送方向と直交する一方向に5つの蓄積ダイオード12₁、12₂、12₃、12₄、12₅が形成され、CCDチャンネル11と蓄積ダイオード12₁との間には読み出しゲート14aが形成されている。そして、隣接する蓄積ダイオード12₁、12₂の間には転送電極16₁が、12₂、12₃の間には16₂が、12₃、12₄の間には16₃が、12₄、12₅の間には16₄が、それぞれ形成されている。

【0032】従来、水平方向の5つの蓄積ダイオード12に対して5つの垂直CCD25が必要であったが、この構造にすることにより、水平方向の5つの蓄積ダイオード（12₁～12₅）に対して1組の垂直CCD25と4個の転送電極（16₁～16₄）により信号電荷の読み出しが行えるようにできる。

【0033】従って、垂直電荷転送電極14、15下のチャンネル11と蓄積ダイオード12の面積を保持して、つまり垂直転送電荷量、蓄積ダイオード部の飽和電荷量を落とすことなく、水平方向の縮小が可能となる。このため、PSIDのチップサイズを大幅に縮小できる。

【0034】図4は、本発明の第3の実施例の要部構成を示す断面図である。この実施例は、PSIDではなく、通常の固体撮像装置に本発明を適用したものである。基本的な構成は第1の実施例と同様であるが、基板上に受光部を形成することから、画素電極、引き出し電

極、 $a-Si$ 膜、透明電極等は不要となっている。

【0035】 n 型基板30上に p 型ウェル40が形成され、このウェル40の表面に n^+ 型埋め込みCCDチャネル41、 n^+ 型フォトダイオード42、 p^+ 型素子分離層43が形成されている。ここで、フォトダイオード42は、CCDチャネル41に隣接するもの(42₁)と、これに対しCCDチャネル41と反対側に位置するもの(42₂)が形成されている。CCDチャネル41上には転送電極44、45が形成され、転送電極44はフォトダイオード42₁の端部上まで延長して信号電荷読み出しゲート44aを兼ねるものとなっている。また、蓄積ダイオード42₁、42₂間の上には転送電極46が形成されている。

【0036】このような構成において、光の入射により発生した信号電荷は、CCDの埋め込みフォトダイオード42に蓄積される。フォトダイオード42に蓄積された信号電荷は読み出しゲート44aにより、垂直CCDの n^+ の埋め込みCCDチャネル41に読み出される。この読み出された信号電荷は、CCDチャネル41及び垂直電荷転送電極44、45からなる垂直CCDと、図

には記載されていない、水平CCD、出力アンプにより、カメラ信号としてCCD外部に出力されることになる。

【0037】本実施例では、第1のフォトダイオード42₁に隣接する第2のフォトダイオード42₂の信号電荷を、第1のフォトダイオード42₁に転送した後、前記述と同様に、カメラ信号としてCCD外部に出力する。このために転送電極46が必要である。具体的には、第1のフォトダイオード42₁に蓄積された信号電荷を、垂直電荷転送部の埋め込みチャネル41に読み出した後、第2のフォトダイオード42₂に蓄積された信号電荷を、転送電極46に電圧をかけることで、第1のフォトダイオード42₁に転送し、その後読み出し電極44により、埋め込みチャネル41に信号電荷を読み出すことができる。

【0038】このように本実施例では、従来では水平方向の1つのフォトダイオード42に対して、1つの読み出し電極44aと1組の垂直CCDが必要であったものが、水平方向の N 個($N \geq 2$)のフォトダイオード42に対して、 $N-1$ 個の転送電極46と、1つの読み出し電極44aと、1つの垂直CCDで信号電荷を読み出すことが可能となる。このため、チップ面積が減少しても、受光部面積の減少を抑えることができる。

【0039】図5に、図4の上面図を示す。図5では転送電極46を、垂直電荷転送電極44、45と同じ電極で形成している。転送電極46を垂直電荷転送電極44、45とは別に形成してもよいのは勿論である。また、図5内の $W1$ と $W2$ の寸法(フォトダイオード42の配列ピッチ)は同じ寸法に形成されている。

【0040】図5では、垂直CCDに最も隣接する受光

部の開口面積が、他の受光部の面積と比較して小さく、受光部毎にCCDの感度がばらつく可能性がある。そこで、図6に示すように、フォトダイオード42₁、42₂の水平方向幅 $W3$ 、 $W4$ を $W3=W4$ とし、各受光部を同じ面積で形成してもよい。この場合、受光部毎の感度のバラツキの小さい固体撮像装置を実現できる。

【0041】図7は、本発明の第4の実施例の要部構成を示す断面図である。なお、図4と同一部分には同一符号を付して、その詳しい説明は省略する。この実施例は、4つのフォトダイオード42₁、42₂、42₃、42₄に対して、3つの電荷転送電極46₁、46₂、46₃、1つの読み出しゲート44aと、1つの垂直電荷転送部(埋め込みチャネル41)を持った構造である。従来4つのフォトダイオードに対して、4つの垂直電荷転送部が必要であったが、この構造にすることにより、4つのフォトダイオードに対して、1つの垂直電荷転送部の埋め込みチャネル41により読み出しを行うことができる。

【0042】ここで、転送電極46は垂直CCD部と比較すると、小さな面積で形成できるので、画素サイズが微細化しても、受光部面積の減少を小さくでき、検出感度の低下を改善できる。また、1本の垂直CCDに対する受光部(フォトダイオード部)の数が多ほど、1画素当たりの受光部(フォトダイオード部)の面積を大きくすることができ、感度低下を改善できる。

【0043】図8に、図7の上面図を示す。図8では転送電極46を、垂直電荷転送電極44、45とは別に設けている。そして、各受光部の感度を一定にするために、受光部の寸法は全て x_1 と同じにしている。なお、 x_1 は垂直CCDの幅、 x_2 は転送電極46の幅であり、 $x_1 > x_2$ である。

【0044】図9は、本発明の第5の実施例の要部構成を示す平面図である。この実施例は、第3及び第4の実施例において、開口パターンの形状を改良したものである。図では、第3の実施例と同じ1つの垂直CCDに対して水平方向に2画素を形成した例を示している。転送電極46の寸法 x_2 と、垂直CCD部の寸法 x_1 は同じではないため、2画素(第4の実施例では4画素)毎に固定パターンノイズが発生する可能性がある。一般に、1つの垂直CCDに対して水平方向に N 個の受光部を持つものは、 N 画素毎に固定パターンノイズが発生する可能性がある。

【0045】そこで本実施例では、遮光膜48の開口パターンの間隔 y を調整することで、固定パターンノイズの発生をなくすようにしている。1つの垂直CCDに対して2つの受光部があるため、垂直CCDの寸法を x_1 、転送電極の寸法を x_2 、受光部の寸法を x_3 とすると、遮光膜48の開口パターン間隔 y は、 $y = (1/2) \cdot (x_1 + x_2) + x_3$

【0046】となる。この寸法にすることで、 x_1 、 x

、 x_1 の寸法が異なっても、一定間隔の遮光膜48の開口ピッチを作ることができ、固定パターンノイズの発生を抑えられる。また、一般にN個の受光部を持つ場合の遮光膜48の開口ピッチ y は、

$$y = (1/N) \cdot \{X_1 + (N-1)x_2\} + x_2$$

となり、受光部の個数がN個の場合にも使用できる ($N \geq 2$)。

【0047】また、図9において、固体撮像装置の表面に形成されるマイクロレンズの繰り返しピッチを遮光膜の開口部の繰り返しピッチ y と同じにすることにより、固定パターン雑音の発生のない、高感度の固体撮像装置が実現できる。

【0048】さらに、図9において、固体撮像装置の表面に形成される色フィルタの繰り返しピッチを、遮光膜の開口部の繰り返しピッチ y と同じにすることにより、色ムラのない高感度の固体撮像装置が実現できる。なお、本発明は上述した各実施例に限定されるものではなく、その要旨を逸脱しない範囲で、種々変形して実施することができる。

【0049】

【発明の効果】以上詳述したように本発明によれば、N個の信号電荷蓄積ダイオードを(N-1)個の転送電極により直列に接続してNAND型に構成しているので、N個の信号電荷蓄積ダイオードで信号電荷転送部を共用することができ、積層型の固体撮像装置におけるセルサイズの縮小に伴う取扱い信号電荷量の低下を抑制することができる。換言すれば、信号転送電荷量、信号電荷蓄積ダイオード部の飽和電荷量を落とすことなく水平方向の縮小を可能とし、チップサイズの縮小をはかることができる。

【0050】また本発明によれば、N個の受光部を(N-1)個の転送電極により直列に接続してNAND型に構成しているので、N個の受光部で信号電荷転送部を共用することができる。従って、画素数増加や小型化に伴う受光部面積の低下を抑制することができ、検出感度の向上をはかり得る。

【図面の簡単な説明】

【図1】第1の実施例に係わるPSIDの要部構成を示

す断面図。

【図2】第1の実施例の概略構成を模式的に示す平面図。

【図3】第2の実施例に係わるPSIDの要部構成を示す断面図。

【図4】第3の実施例に係わる固体撮像装置の要部構成を示す断面図。

【図5】図4の上面図に相当し、受光部の開口パターン例を示す図。

【図6】図4の上面図に相当し、受光部の開口パターン例を示す図。

【図7】第4の実施例に係わる固体撮像装置の要部構成を示す断面図。

【図8】図7の上面図に相当し、受光部の開口パターン例を示す図。

【図9】第5の実施例に係わる固体撮像装置の要部構成を示す平面図。

【符号の説明】

10…p型Si基板

20 11, 41…n⁺型埋め込みCCDチャネル

12…n⁺型蓄積ダイオード

13, 43…p⁺型素子分離層

14, 15, 44, 45…垂直転送電極

14a, 44a…読み出しゲート

16, 46…転送電極

17…層間絶縁膜

18…画素電極

19…引き出し電極

21…a-Si層(光導電膜)

30 22…ITO(透明電極)

25…垂直CCD

26…水平CCD

27…出力アンプ

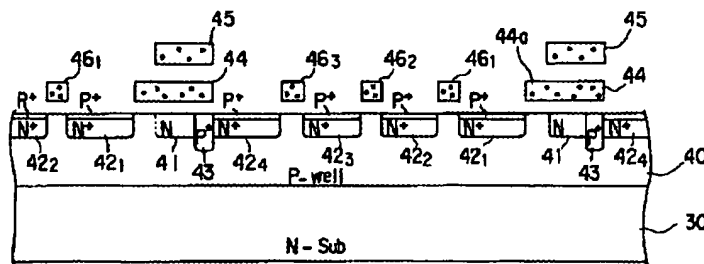
30…n型Si基板

40…p型ウェル

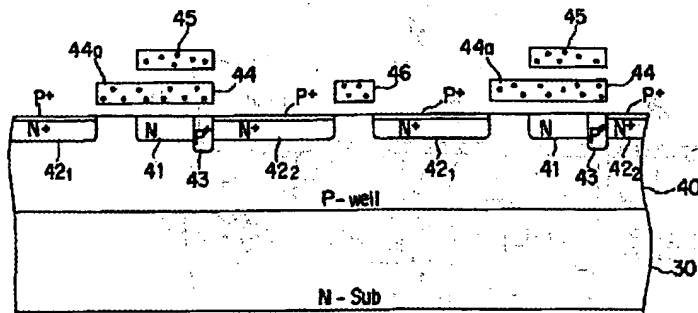
42…フォトダイオード

48…遮光膜

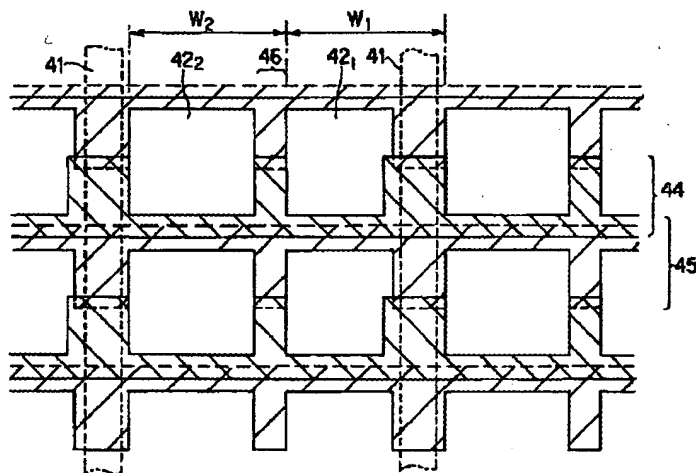
【図7】



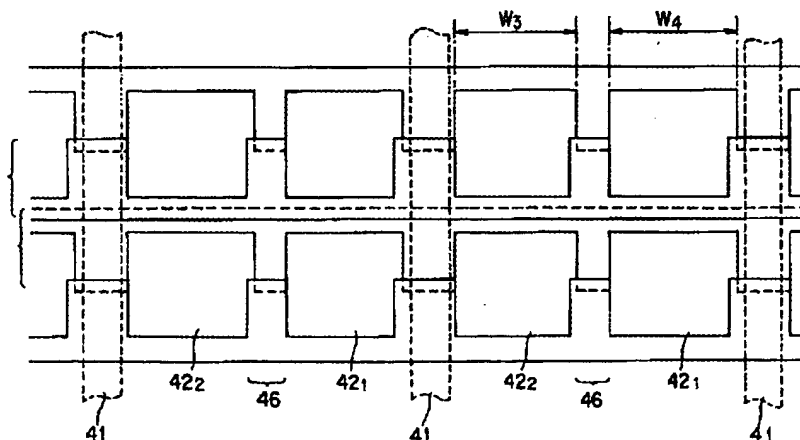
【図4】



【図5】



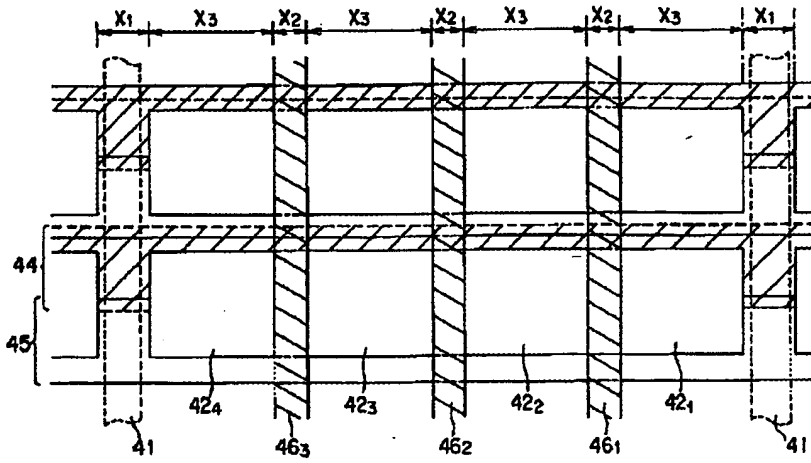
【図6】



(9)

特開平6-204450

【図8】



【図9】

